

УДК 681.327

ОСОБЛИВОСТІ ВБУДОВАНОГО САМОТЕСТУВАННЯ І САМОВІДНОВЛЕННЯ МІКРОСХЕМ ПАМ'ЯТІ

А.В. Комарницький

Київський національний університет технологій та дизайну

Стаття присвячена питанням підвищення коефіцієнта технічної готовності мікросхем пам'яті. запропоновано архітектура вбудованих засобів само тестування та відновлення, що дозволяє виконати заміну розряду даних основного масиву запам'ятовуючих осередків, в якому стався відмову, на дані, що надходять з виходів запасного масиву запам'ятовуючих осередків. Запропоновані апаратні засоби забезпечують автоматичну реконфігурацію даних мікросхеми при виявленні відмови.

Ключові слова: вбудоване самотестування, дешифратор рядків, аналіз надмірності, комірки пам'яті, кінцевий автомат.

До систем критичного застосування, які забезпечують управління атомними електростанціями, іншими енергетичними об'єктами, повітряними, морськими і наземними транспортними засобами, пред'являються підвищені вимоги до забезпечення їх працездатного стану. Для виконання даної вимоги необхідно збільшувати коефіцієнт технічної готовності, значення якого зростає при зменшенні часу відновлення системи управління при відмові пристроїв які входять до неї. Основними компонентами систем управління критичними додатками є запам'ятовувальні пристрою. Які зберігають програми і застосовуються при виконанні алгоритмів управління. Оперативна пам'ять є одним з найнадійніших компонентів комп'ютера, тому що виробники модулів пам'яті дуже ретельно тестують свою продукцію. Проте в мікросхемах пам'яті під впливом статичної електрики, міграції електронів через високу провідність окислів, тунельного ефекту і т.д. з часом можуть виникати відмови і збої через нестабільність зарядів. При експлуатації оперативної пам'яті для перевірки на наявність помилок рекомендується застосовувати широко поширену утиліту Memtest86+. Однак при тестуванні модулів пам'яті даної утилітою виникають холості цикли, протягом яких може відбуватися відновлення компонентів пам'яті, які при реальному режимі роботи модулів пам'яті можуть викликати появу відмов і збоїв. Тому така розбіжність режиму роботи може дати недостовірні результати тестування. Якщо при тестуванні виявлені непрацездатні модулі, то їх слід замінити на справні. Значні витрати часу на відновлення системи можуть привести до непоправних наслідків для систем критичного застосування. Пам'ять типу ECC (Error

Check & Correction / Error Correction Code), здатна автоматично виправляти будь-які поодинокі помилки і виявляти будь-які подвійні. До тих пір, поки оперативна пам'ять функціонує більш-менш нормально, протистояння ентропії і завадозахисних кодів вирішується на користь останніх. Однак при повному або частковому виході одного або декількох модулів пам'яті з ладу, коригувальних здібностей контролюючих кодів недостатньо і оперативна пам'ять починає працювати вкрай нестабільно.

Постановка завдання

В даний час вкладення готових ядер стало популярною методологією систем-на-кристалі (SOC). Ця методологія повторного використання вважається необхідною для підтримки доступних циклів розробки продукту. Пам'ять відносяться до числа найбільш часто використовуваних ядер в SOC. Вбудована пам'ять займає більшу частину площі кремнію і споживає більшу частину транзисторів типовою SOC. Таким чином, вихід придатних таких систем в основному визначається вбудованою пам'яттю. Випробування та діагностика вбудованої пам'яті є важливими процедурами при виготовленні SOC. Є кілька важливих питань, які виникають при проектуванні засобів вбудованого самотестування (Built-in self test, BIST), такі як локалізація несправних комірок та їх ремонт. Висока щільність, висока тактова частота експлуатації та глибока субмікронних технологій викликають появу нових несправностей в ядрах пам'яті [2, 3].

Відома система з аналізом заміни рядків і стовпців вбудованої пам'яті на запасні, яка містить засоби вбудованого самотестування (BIST), засоби вбудованого аналізу відновлення працездатності (BIRA), комутатори кодів адреси, операцій і даних, основний масив запам'ятовуючих комірок, запасні рядки і стовпці комірок, дешифратори рядків і стовпців комірок .

Недоліком даної системи є обмежені функціональні можливості, викликані обмеженим числом запасних запам'ятовуючих комірок, що не дозволяє провести ремонт, наприклад, при відмові компонентів, які викликають непрацездатний стан цілого розряду даних.

З метою усунення даного недоліку необхідно до складу мікросхеми включити запасний масив запам'ятовуючих комірок, що забезпечує формування додаткового розряду даних, що дозволить записувати або зчитувати з нього дані, які були призначені для зберігання в одному розряді даних, відмовив.

Автоматичне випробувальне обладнання призначене для масового виробництва мікросхем, крім того тестування дає лише обмежену інформацію для аналізу відмов, якою зазвичай недостатньо для швидкої налагодження [4]. Розробникам потрібна діагностика, підтримуюча механізм вбудованого самотестування, а іноді і вбудоване самовідновлення (Built-in self- repair, BISR), що збільшити якість продукції, надійність і прибутковість. Щоб уникнути втрати продукції, резервні елементи або запасні елементи (наприклад, рядки і запасні стовпці елементів пам'яті) часто додають, так що більшість несправних комірок може бути відновлено, тобто, замінені запасними комірками [1]. Аналіз надмірності на виході (після ремонту), а також мінімізації витрат є важливим процесом у виробництві. Аналіз надмірності (Redundancy analysis, RA) з використанням дорогих тестерів пам'яті стає неефективним і тому не рентабельним, а щільність чіпів продовжує зростати. Незважаючи на це, застосування засобів вбудованого самотестування є перспективним рішенням, однак дані кошти призначені тільки для функціонального тестування, але вони не можуть цілком замінити зовнішні тестери пам'яті. Коштів вбудованого самотестування з підтримкою діагностики і раніше не вистачає, у зв'язку з великим обсягом діагностичних даних, які не можуть бути передані з коштів зовнішнього тестування через обмежену пропускну здатність каналів зв'язку. Таким чином, вбудований аналіз надмірності (Built-in repair analysis, BIRA) і вбудоване самовідновлення в даний час є головними елементами, які повинні бути включені в ядра пам'яті [5, 6].

Об'єкт та методи досліджень

Метою дослідження є впровадження на етапі розробки в мікросхему пам'яті технології вбудованого самотестування та самовідновлення, тобто підключення модулів BIST і BIRA. Це дозволить проводити тестування і діагностування несправностей, як на етапі розробки, так і на етапі серійного виробництва і відновлювати пам'ять на програмному рівні.

Результати досліджень та їх обговорення

У мікросхемах пам'яті з вбудованими засобами самовідновлення (Built-in self- repair, BISR) проектувальники зазвичай використовують запасні рядки і/або запасні стовпці комірок. На рис. 1 наведена блок-схема мікросхеми з вбудованими засобами самотестування і самовідновлення BISR, що складається з модуля вбудованого

самотестування BIST, модуля вбудованого аналізу надмірності BIRA, основний і резервної пам'яті, призначеної для ремонту мікросхеми [7].

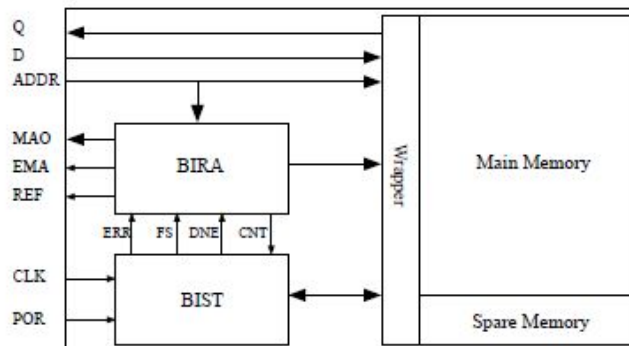


Рис. 1. Блок-схема мікросхеми пам'яті з вбудованими засобами самотестування та самовідновлення

У режимі тестування/ремонт вся пам'ять доступна модулю самотестування. Після того, як кошти BIST завершать тестування, починається процес відновлення дефектної мікросхеми. Модуль вбудованого аналізу надмірності BIRA виконує резервування розподілу допомогою спеціального алгоритму. У нормальному режимі роботи дані зчитуються або з основної пам'яті, або з запасний пам'яті, яка замінює несправні комірки пам'яті по керуючим сигналам, що надходять від модуля BIRA [8].

Структура модуля вбудованого самотестування

Блок-схема коштів вбудованого самотестування наведена на рис. 2 і складається з контролера CTR (Controller), генератора шаблонів тестів TPG (Test pattern generator), призначених для обробки тестових операцій і генерації тестових стимулів, відповідно. До схеми підключений синхросигнал CLK (Clock), а також сигнал скидання при включенні живлення POR (Power-on reset), щоб почати процедуру тестування. Сигнал POR генерує імпульс скидання при включенні джерела живлення. Цей імпульс ініціює виконання процедури тестування за допомогою засобів вбудованого самотестування. Сигнал BDN (BIST Done) свідчить про закінчення самотестування, сигнал ERR (Error indicator) є індикатором помилки, сигнал FS (fault syndrome) є синдром помилки, а сигнал CNT (Continue) ініціює продовження самотестування. Даними сигналами обмінюються модулі BIST і BIRA. Вихідні сигнали генератора шаблонів тестів підключаються до входів тестової пам'яті. Сигнал BNS (BIST Normal Selection) використовується для перемикавання режиму тестування / ремонт в нормальний режим [9].

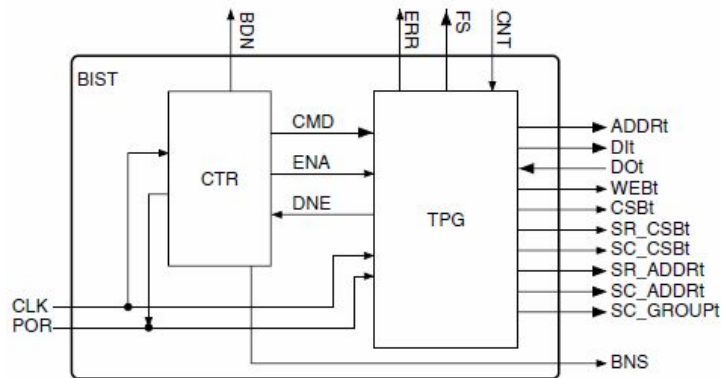


Рис. 2. Блок-схема модуля BIST

Контролер є типовим автоматом з кінцевим числом станів. Генератор шаблонів тестів виконує команди, що формуються контролером. При виявленні несправності, він зупиняється і передає сигнал ERR і сигнал FS для інформування модуля вбудованого аналізу надмірності про необхідність виконання аналізу надмірності. При завершенні аналізу надмірності модуль BIRA посилає сигнал CNT для відновлення процесу тестування.

Структура модуля вбудованого самовідновлення

Блок-схема модуля вбудованого самовідновлення BIRA наведена на рис. 3 і складається з трьох компонентів: датчиків несправних підслів MFSD (Multiple faulty subwords detector), процесора PE (Processelement) і блоку перепризначення адреси ARU (Address remappingunit).

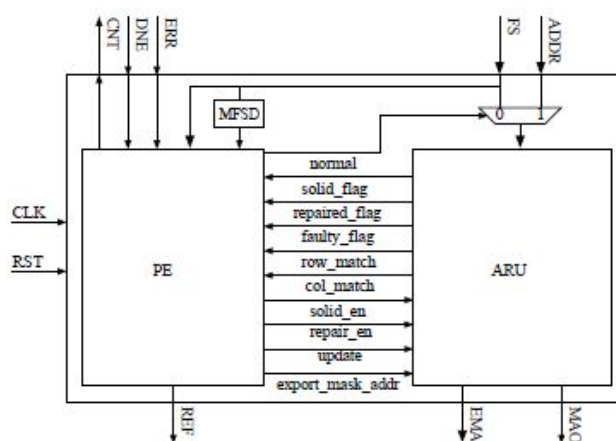


Рис. 3. Блок-схема модуля вбудованого самовідновлення

Коли живлення включено, всі тригери скидаються в початковий стан і на вхід мультиплектора надходить керуючий сигнал, рівний 0. Вхідний адреса ADDR

надходить на входи блоку перепризначення адреси в нормальному режимі роботи (керуючий сигнал дорівнює 1). В режимі тест / ремонт блок перепризначення адреси виявляє адресу несправної комірки і порівнює поточні несправності, з збереженими адресами комірок. Спочатку сигнали *solid_flag*, *faulty_flag*, *repaired_flag*, *row_match* і *col_match* все скидається в нульовий стан. Процесор оцінює стан цих сигналів і формує сигнали управління *solid_en*, *repair_en* та оновлення і *export_mask_addr*, які надходять на входи блоку перепризначення адреси. Сигнал REF (Repair end flag) є прапором кінця ремонту, сигнал ЕМА (Export mask address) сигналізує про те, що запасних рядків не вистачає, а сигнал MAO (Mask address output) є вихідний маскою адрес. При цьому пристрій починає працювати з меншою корисною ємністю.

Процесор являє кінцевий автомат (FSM - finite state machine), діаграма зміни станів якого показана на рис. 4.

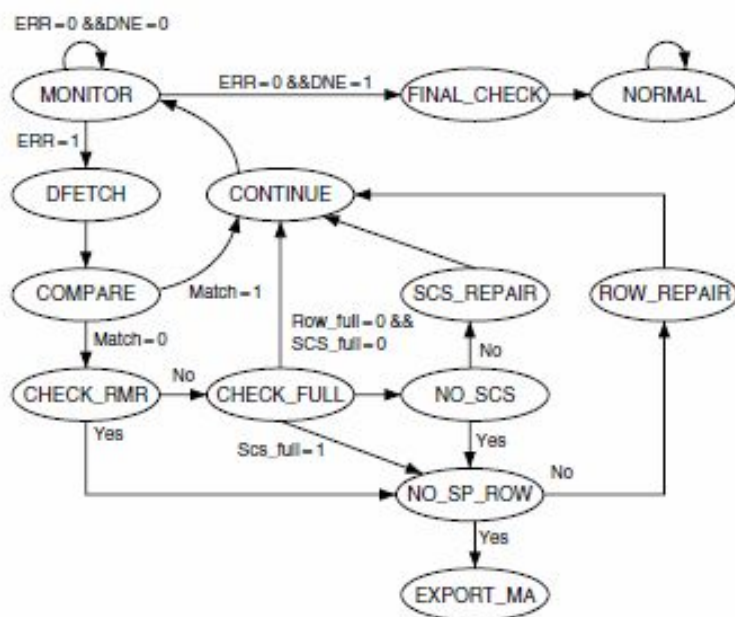


Рис. 4. Схема стану процесора

У початковому стані MONITOR процесор стежить за сигналом ERR (Error), який надходить від схеми BIST. Якщо буде виявлено несправність, то процесор переходить в стан DFETCH і завантажує дані про стани в тригери. У стані COMPARE процесор порівнює несправні адреси з раніше збереженими адресами. Якщо є збіги, процесор повертається до стану MONITOR через стан CONTINUE, в іншому випадку він переходить в стан CHECK_RMR. Якщо статус обов'язковий ремонт (за строками), то він переходить до стану NO_SP_ROW і перевіряє, чи є доступні запасні рядки. Якщо

немає доступних вільних рядків, він посилає сигнал в блок перепризначення адреси, який потім експортує несправну адресу рядка для програмного ремонту в режимі зниженої ємності. Якщо ряд запасних рядків недоступний, то несправний рядок замінюється на запасний рядок в стані ROW_REPAIR, а процесор повертається до стану MONITOR через стан CONTINUE, де триває надходити сигнал на BIST схему.

Якщо в стані CHECK_RMR умова обов'язкового ремонту не виконується, процесор перейде стан CHECK_FULL, щоб побачити чи знаходяться тверді прапори на запасний в блок перепризначення адреси. Якщо всі запасні рядки або стовпці вільні, вони використовуються для ремонту. Потім процесор переходить або в стан NO_SP_SCS, або стан NO_SP_ROW. Якщо всі запасні рядки використані для ремонту, тоді для ремонту використовуються запасні колонки і процесор переходить в стан NO_SP_SCS. Нарешті, в стані MONITOR, якщо BIST модуль видасть сигнал BDN (BIST done), процесор переходить в нормальний стан через стан FINAL_CHECK. У стані FINAL_CHECK процесор перевіряє і встановлює прапори ремонту та решту несправних адрес, які не ремонтувалися.

Висновки

Розглянута BISR схема складається з модуля BIST і модуля BIRA. BISR схема підтримує три режими роботи мікросхеми пам'яті: тестування основної пам'яті, тестування резервної пам'яті і ремонт. Виявлення несправностей здійснюється в автономному режимі з використанням засобів вбудованого самотестування BIST. Дана процедура допомагає конструкторам і технологам налагоджувати технологію виготовлення мікросхем пам'яті і забезпечує підвищення відсотка виходу придатних виробів, як у етапі розробки, так і при серійному виробництві. Це підхід значно спрощує схему розподілу надмірності і призводить до відносно високій швидкодії серед відомих схем BIRA. Він також забезпечує високу швидкість ремонту несправностей з невеликими апаратними витратами.

ЛІТЕРАТУРА

1. BRAINS: a BIST complier for embedded memories / [C. Cheng, C.-T. Huang, J.-R. Huang, C.-W. Wu, C.-J. Wey, and M.-C. Tsai]. – in Proc. Int. Symp. on Defect and Fault Tolerance in VLSI Systems, 2000. – 299–307 pp.

2. Built-in redundancy analysis for memory yield improvement / [C.-T. Huang, C.-F. Wu, J.-F. Li, and C.-W. Wu]. – IEEE Trans. Reliability, 2003. – 386–399 pp.
3. A programmable BIST core for embedded DRAM / [C.-T. Huang, J.-R. Huang, C.-F. Wu, C.-W. Wu, and T.-Y. Chang]. – IEEE Des. Test Comput, 1999. – 59–70 pp.
4. M. Tarr Defect analysis system speeds test and repair of redundant memories / M. Tarr, D. Boudreau, and R. Murphy. – Electronics, 1984. – 175–179 pp.
5. Prince. B. Semiconductor Memories: A Handbook of Design, Manufacture and Application / Prince. B. 2 nd ed. John Wiley & Sons Chichester, – 1991.
6. A simulator for evaluating redundancy analysis algorithms of repairable embedded memories / [R.-F. Huang, J.-F. Li, J.-C. Yeh, and C.-W. Wu]. – in Proc. IEEE Int. Workshop on Memory Technology, Design, and Testing, 2002 – 68–73 pp.
7. Yield Optimization via an Embedded-Memory Test and Repair Infrastructure / [Shoukourian S., Vardanian V., Zorian Y. SoC]. – IEEE Design and Test of Computers, 2004 – 200 – 207 pp.
8. Youngs L. Mapping and Repairing Embedded-Memory Defects / Youngs L., Paramanandam S. – IEEE Design and Test of Computers, 1997 – 18 – 24 pp.
9. Zorian Y. Embedded-Memory Test and Repair: Infrastructure IP for SoC Yield / Zorian Y., Shoukourian S. – IEEE Design and Test of Computers, 2003 – 58 – 66 pp.

А.В. Комарницький

***Особенности встроенного самотестирования и самовосстановления
микросхем памяти***

Статья посвящена вопросам повышения коэффициента технической готовности микросхем памяти. предложено архитектура встроенных средств само тестирования и восстановление, что позволяет выполнить замену разряда данных основного массива запоминающих ячеек, в котором произошел отказ, на данные, поступающие с выходов запасного массива запоминающих ячеек. Предлагаемые аппаратные средства обеспечивают автоматическую реконфигурацию данных микросхемы при обнаружении отказа.

Ключевые слова: *встроенное самотестирование, дешифратор строк, анализ избыточности, ячейки памяти, конечный автомат.*

A. V. Komarnitsky

Feature's built-in self-test and self-repair memory chips

Article is devoted to increasing the coefficient of technical readiness of memory chips. proposed architecture built-in self test and recovery, allowing for replacement of the discharge data of the main array storage cells in which there was a failure, the data coming from the outputs of the spare array storage cells. The proposed hardware provides automatic reconfiguration of data circuits in the detection of rejection.

Keywords : *built-in self testing, decoder lines, analysis of redundancy memory cell, the final machine.*